

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-031747

(43)Date of publication of application : 02.02.1999

(51)Int.CI.

H01L 21/82
G06F 17/50

(21)Application number : 09-185381

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.07.1997

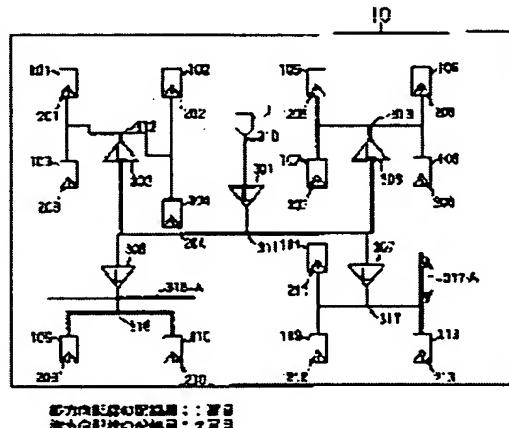
(72)Inventor : KIMURA KAZUNARI

(54) DESIGN DEVICE FOR CLOCK OF SEMICONDUCTOR INTEGRATED CIRCUIT, DESIGN AND CLOCK FEED CIRCUIT NETWORK THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a difference in the delays of the clocks of a semiconductor integrated circuit, by a method wherein a load capacitance adjusting means is constituted into a structure, wherein a dummy buffer circuit, a dummy clock input circuit and a dummy wiring are connected with each circuit on the basis of a difference between the load capacitances of the circuits, which is obtained by calculating the load capacitances, to adjust the load capacitances of the circuits roughly equal to each other.

SOLUTION: Differences between the terminal capacitances 201 to 204, 205 to 208, 209 and 210 and 211 to 213 of clock input terminals 101 to 104, 105 to 108, 109 and 110 and 111 to 113, which are respectively connected with buffer elements 202, 203, 306 and 307, are calculated. The total terminal capacitances of the element 302, the total terminal capacities of the element 303, the total terminal capacitances of the element 306 and the total terminal capacitances of the element 307 are respectively denoted as the reference numerals 4, 5, 2 and 3. As the largest total terminal capacitances among the total terminal capacitances are the reference numeral 5 of the element 303, the wiring capacitance of a wiring of the component 1 of a difference between the total terminal capacitances of the elements 303 and 302, the wiring capacitance of a wiring of the component 3 of a difference between the total terminal capacitances of the elements 303 and 306, and the wiring capacitance of a wiring of the component 2 of a difference between the total terminal capacitances of the elements 303 and 307, are respectively added to each of the other buffer elements 302, 306 and 307 to equally adjust the load capacitances of the elements 302, 303, 306 and 307 to each other.



LEGAL STATUS

[Date of request for examination] 26.09.2000

[Date of sending the examiner's decision of rejection] 08.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication of Unexamined Patent Application

No. 31747/1999 (Tokukaihei 11-31747)

A. Relevance of the Above-identified Document

This document has relevance to all claims of the present application.

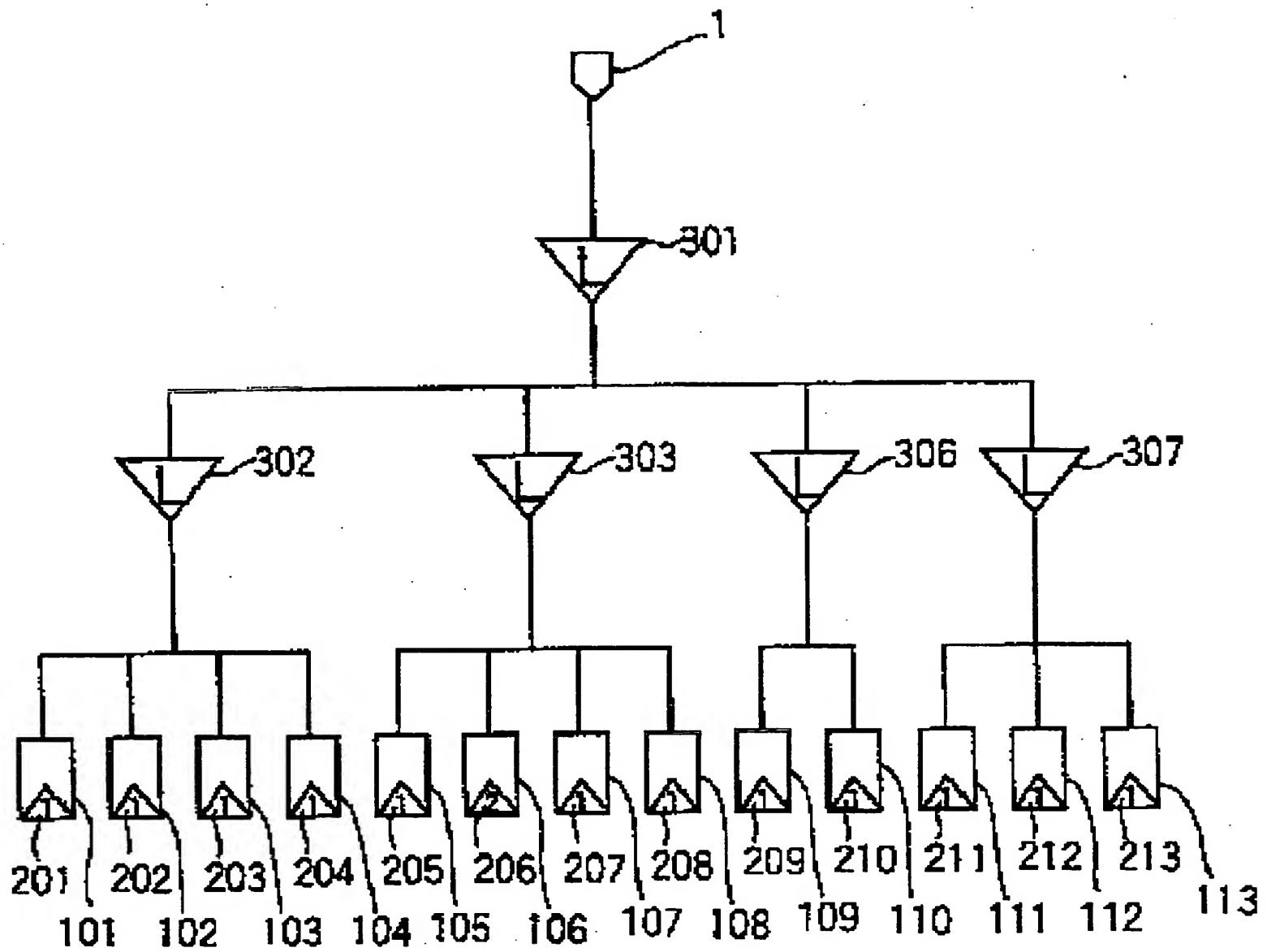
[EMBODIMENTS]

[0030]

As shown in Figures 3 and 4, in creation of a clock tree of the clock CLK1, the number of buffer element stages from the clock supplying element 1 to the corresponding clock input are unified with respect to all of clock input element 101 through 113, and the types of buffer element (i.e., driving ability) of the clock supplying element 1, and the second-stage buffer elements 302, 303, 306, and 307 are unified. Further, the deference among the respective terminal capacitances of the clock input terminal elements 201 through 213 connected to the those buffer elements are found, so as to equalize the respective load capacitances to which the buffer elements 302, 303, 306 and 307 are connected. According to the calculation, which reveals that the gross terminal capacitance of the buffer element 302 is 4, the gross terminal capacitance of the buffer element 303 is 5, the gross terminal

capacitance of the buffer element 306 is 2, the gross terminal capacitance of the buffer element 307 is 3. Since the calculation shows that the largest gross terminal capacitance of the buffer element 303 is 5, the other buffer elements 302, 306 and 307 are provided with additional wiring capacitances, respectively, whose quantity is determined based on the differences between the largest buffer element 303 and the respective other buffer elements (i.e., the buffer elements 302, 306 and 307 are provided with 1, 3, and 2, respectively). More specifically, the wiring 316 connected to the buffer element 306 is provided with partial wiring with wiring capacitance of 316-A, and the wiring 317 connected to the buffer element 307 is provided with partial wiring with wiring capacitance of 317-A. As to the wiring 312 connected to the buffer element 302, no capacitance is added since its wiring capacitance is greater than that of the wiring 313 connected to the buffer element 303 as shown above. In this manner, the load capacitances of the respective buffer elements 302, 303, 306 and 307 are unified.

[FIGURE 3]



1 : clock supplying element of the clock CLK1

101~113 : clock input element

201~213 : terminal capacitance value of clock input element

301~303, 306, 307 : buffer element

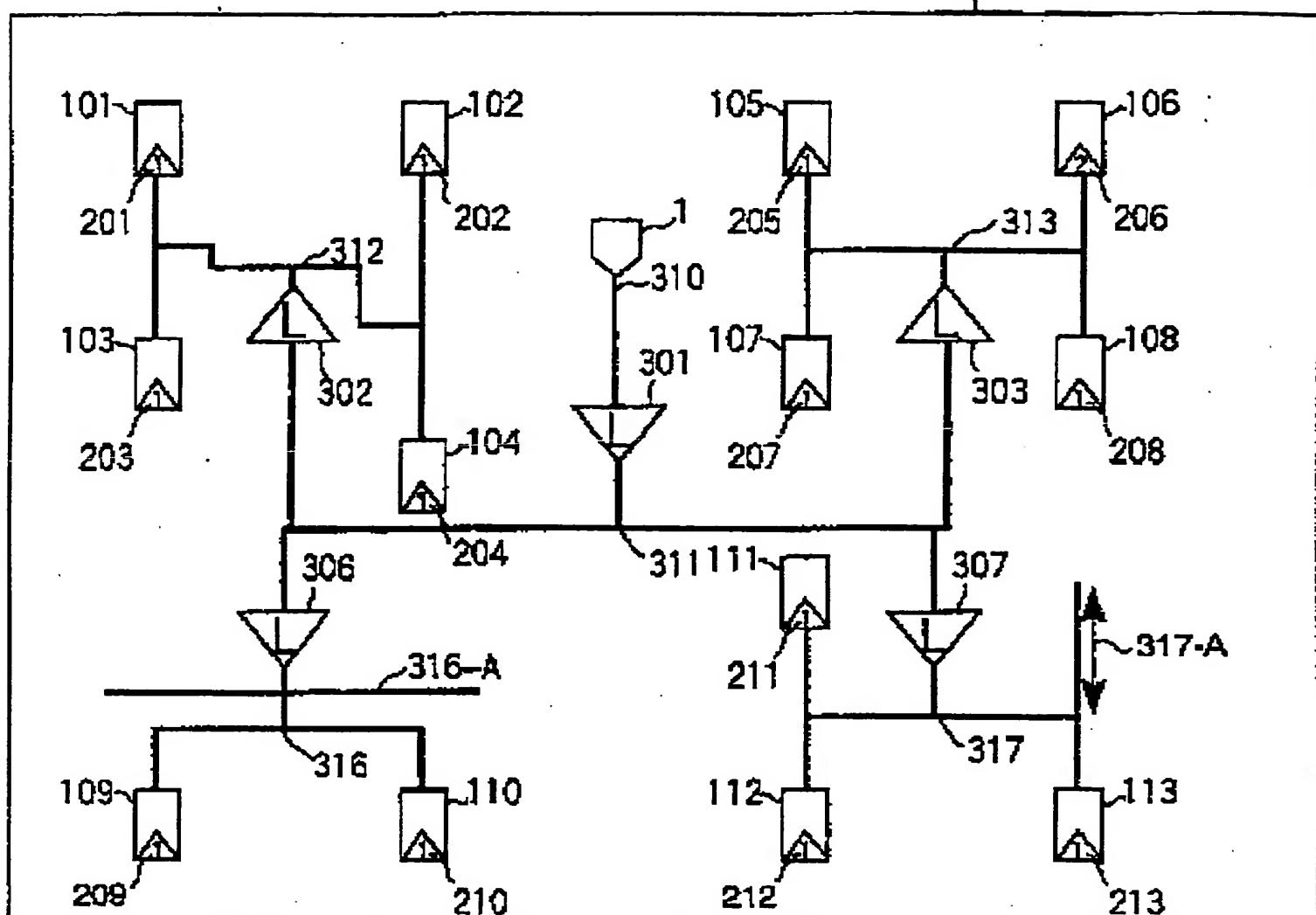
: driving ability
large

: driving ability
medium

: driving ability
small

[FIGURE 4].

10



wiring layer of vertical wiring: first layer

wiring layer of horizontal wiring: second layer

1 : clock supplying element of the clock CLK1

10 : plane of semiconductor integrated circuit

101~113 : clock input element

201~213 : terminal capacitance value of clock input element

301~303, 306, 307 : buffer element

: driving ability large : driving ability medium : driving ability small

310~313, 316, 317 : wiring between elements

316-A, 317-A : partial wiring

前記負荷
回路等体積回路のクロック供給回路において、前記負荷
回路等体積回路は、前記クロック入力回路の配置を移動
して前記バッファ回路と前記クロック入力回路の配線長
を調整する回路構成を有することを特徴とする。
〔0026〕
【発明の実施の形態】以下、図面を用いてこの発明の実
施の形態を説明する。

糸子302, 303, 306, 307に接続する負荷量を同一にするために、各バッファ糸子に接続するクロック入力糸子の端子容量201～213の差異を計算し、バッファ糸子302の配線端子容量は4、バッファ糸子303の配線端子容量は5、バッファ糸子306の端子容量は6、バッファ糸子307の端子容量は3である。一番大きい端子容量はバッファ糸子303の5であり、他のバッファ糸子302, 306, 307に比べて、一番小さい端子容量は2、バッファ糸子303との端子容量の差異は3であるため、他のバッファ糸子302との端子容量の差異は2である。したがって、バッファ糸子302とバッファ糸子303との端子容量の差異は3である。すなわち、バッファ糸子306に接続する配線端子付加量316は配線端子316の部分配線311～Aの配線端子を付加し、バッファ糸子307に接続する配線端子付加量317は配線端子317～Aの配線端子付加量317を付加する。また、バッファ糸子302に接続する配線端子付加量312はバッファ糸子303に接続する配線端子付加量313よりも配線端子容量が前記逆算分大いため配線端子を付加しない。これにより、各バッファ糸子302, 303, 306, 307の負荷容量を同一にする。

【0032】図5において、クロック供給端子1から2段目のバッファ素子302に接続する配線端子の長さを、バッファ素子303、306、307と同一にするため、バッファ素子302に接続しているクロック入力端子104の配置位置を図4に示す位置から図5に示す位置に移動し、2段目のバッファ素子302、303、306、307に接続する配線の配線端子の長さ及び幅を縮減313、318、319、320のように可能な限り同一にして、各ノード系子房の各子房の配線端子を可能限り同一にし、クロック入力端子を移動する結果である図5を用いて説明する。

A、配線 3 1.9 の部分配線 3 1.9-A、B 及び配線 3 2.0 の部分配線 3 2.0-A は、ハッファ 素子 3 0 2, 3 0 3, 3 1 0, 3 2 0 に接続するクロック入力素子の端子子容量が異なるため、この差異分として配線容量を附加する。

【0033】次に、ダミーのハッファ 素子及びクロック入力素子を附加することにより、各バッファ 素子段のハッファ 素子に接続する素子数及び素子電流を可能な限り同一にし、各ハッファ 素子に接続する素子の端子容量及び配線容量を同一にする実施形態について、クロック C LK 1 のクロック設計結果である図 6 及び図 7 を用いて

【0034】図6及び図7において、クロック供給素子1から2段目のバッファ素子302、303、306、307に接続するクロック入力素子に差異があるため、バッファ素子306は2個、バッファ素子307は1個のダミーのクロック入力素子114、115、116を付加し、バッファ素子302、303、305、307に接続するクロック入力素子数及び端子容量を可能な限り

り同一にし、バッファA群子302、303、306、3107に接続する配線の配線端部の長さ及び幅を配線31、321、322のように可能な限り同一にする。ここで、配線31・8の部分配線31・8-Aは、バッファA群子302とバッファA群子303、31・9、320に接続するクロック人力素子の端子部が異なるため、この差異分として配線の配線容差を付加する。
[0035] 1次に、複数クロックのクロック同士のクロック送達延差を許容範囲内にするためのクロックタリーランスする実現形態では、クロックCLK1のクロック駆動結果である図6及び図7と、クロックCLK2のクロック駆動結果である図8及び図9を用いて説明する。
[0036] 図8において、クロックCLK1とクロックCLK2同士のクロック電延差を許容範囲内にするために、クロックCLK2のバッファA素子段及び各段のバッファA素子群別をクロックCLK1と同一にし、クロックCLK2のクロック供給端子2から1段目

のバッファ素子704に接続する。ハッシュゲート部をハッシュゲート704に接続する。クロックCLK1のパルサ
素子群701と同一段のクロックCLK1のパルサ素子群704と同一段のクロックCLK1のパルサ素子群701にダ
ミーのバッファ素子706を付加し、クロックCLK2から2段目のバッファ素子70
のクロック供給端子2から2段目のバッファ素子70
5, 707, 708に接続するクロック入力素子数及び
端子容量をバッファ素子705, 707, 708と同一
段のクロックCLK1のパルサ素子群302, 303,
306, 307と可能な限り同一にするため、バッファ
素子705, 707, 708にそれぞれ3個のダメーのク
ロック入力素子504～512を付加し、クロックCLK
K2の各端子間に隔壁隔壁間の長さ及び幅をクロック

CLK2のハッ�ア素子706は、ディマーのハッファ素子であるため、クロックCLK1と同じにするダイマーのクロック入力素子は付加しない。
【037】このように、上記実施形態にあっては、各クロックにおいても各ハッファ素子間に接続する素子の端子容量及び配線容量が同等であり、各ハッファ素子間の阻抗が同等であり、かつ各クロックのクロックソリーナのハッファ素子段数が同一のため、クロック選択を特定条件の製造工程、組立及び電源電圧などで許容範囲内に設定しても、素子の端子容量、動作容量、ハッファ素子の駆動能力及び駆動電圧などで許容範囲内に

〔0038〕「免明の効果」以上説明したように、この免明によれば、ハッシュ回路の段数、駆動力を同一とし、かつダミー段で一様に変動するため、各クロック供給素子からクロック入力素子間のクロック延延が一様に変動し、クロック延延差が変動しなくなり、回路が誤動作する問題が発生しない。

ロックスキューリングの変動を防ぐことが可能となります。

【図面の簡単な説明】

【図1】請求項1、2又は3記載の一実施形態に係る導体集線回路のクロック設計装置の構成を示す図である。

【図2】請求項4、5又は6記載の一実施形態に係る導体集線回路のクロック設計方法のフローチャートを示す図である。

【図3】クロックツリーアクティブ化後の各素子間の接続を示す図である。

【図4】図3に示す接続例を半導体集線回路の平面上に配置し、各段のバッファ素子に接続する負荷容量を同時にした配線例を示す図である。

【図 7】 図 6 に示す接続例を半導体集積回路の平面上に配線記録した一例を示す図である。

【図 8】 ダミーのバッファ素子及びダミーのクロック力素子を使用した各素子間の接続例を示す図である。

【図 9】 図 8 に示す接続例を半導体集積回路の平面上に配線記録した一例を示す図である。

【図 10】 従来の半導体集積回路のロック設計装置

【図11】従来の半導体集積回路のクロック設計方法
示すフローチャートである。

【図12】従来のクロッククリー生成前の各素子間の
線を示す図である。

【図13】図11に示す接続例を半導体集積回路の平
面上に配置配線した一例を示す図である。

【図14】従来のクロッククリー生成後の各素子間の
線を示す図である。

【図15】図14に示す接続例を半導体集積回路の平
面上に配置配線した一例を示す図である。

【図16】クロック CLK 2 における従来のクロック
リーストアの接続を示す図である。

[図17] 図16に示す接続例を半導体集積回路の平面上に駆動配線した一例を示す図である。

[図18] クロック CLK 2における從来のクロックリーパス後の各素子間の接続を示す図である。

[図19] 図18に示す接続例を半導体集積回路の平面上に駆動配線した一例を示す図である。

[符号の説明]

の配線を付加して各回路の負荷容量が同一となるよう、
に調整したので、製造工場、動作温度及び電源電圧等の
動作環境が変動してもクロックの選択が一様となり、ク
ロック周波数の変動によるクロックの選択が可能となり、回
路の駆動動作を防止することができる。

【画面の簡単な説明】
【図1】結果例1、2又は3記載の一実施形態に係る半導体集積回路のクロック設計装置の構成を示す図である。
【図2】結果例4、5又は6記載の一実施形態に係る半導体集積回路のクロック設計方法のフローチャートを示す図である。
【図3】クロックツリー生成後の各ノードの接続を示す図である。
【図4】図3に示す接続例を半導体集積回路の平面上に配置し、各段のバッファ素子に接続する負荷容量を同一にした配線例を示す図である。

【図 7】 図 6 に示す接続例を半導体集積回路の平面上に配線配置した一例を示す図である。

【図 8】 ダミーのバッファ素子及びディマーのクロック入力素子を使用した名条子間の接続例を示す図である。

【図 9】 図 8 に示す接続例を半導体集積回路の平面上に配線配置した一例を示す図である。

【図 10】 従来の半導体集積回路のクロック設計装置の構成を示す方略である。

【図11】従来の半導体集積回路のクロック設計方法を示すフローチャートである。

【図12】従来のクロックツリー生成前の各素子間の接続を示す図である。

【図13】図11～12に示す接続例を半導体集積回路の平面上に配置配置した一例を示す図である。

【図14】従来のクロックツリー生成後の各素子間の接続を示す図である。

【図15】図14に示す接続例を半導体集積回路の平面上に配置配置した一例を示す図である。

【図16】クロックツリーにおける在来のクロックツリー生成後の各素子間の接続を示す図である。

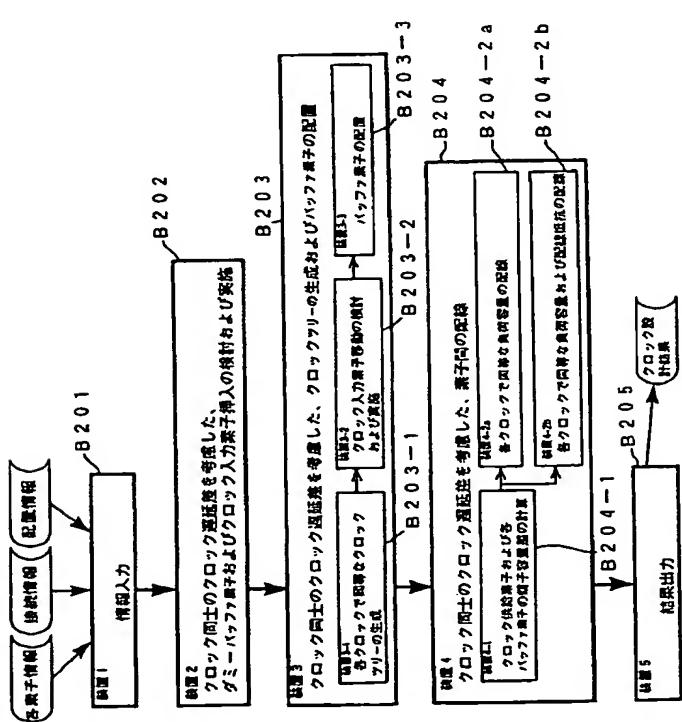
[図17] 図1.6に示す接続例を半導体集積回路の平面図上に配置配線した一例を示す図である。

[図18] クロック CLK 2における従来のクロックツリー一生産後の各粒子間の接続を示す図である。

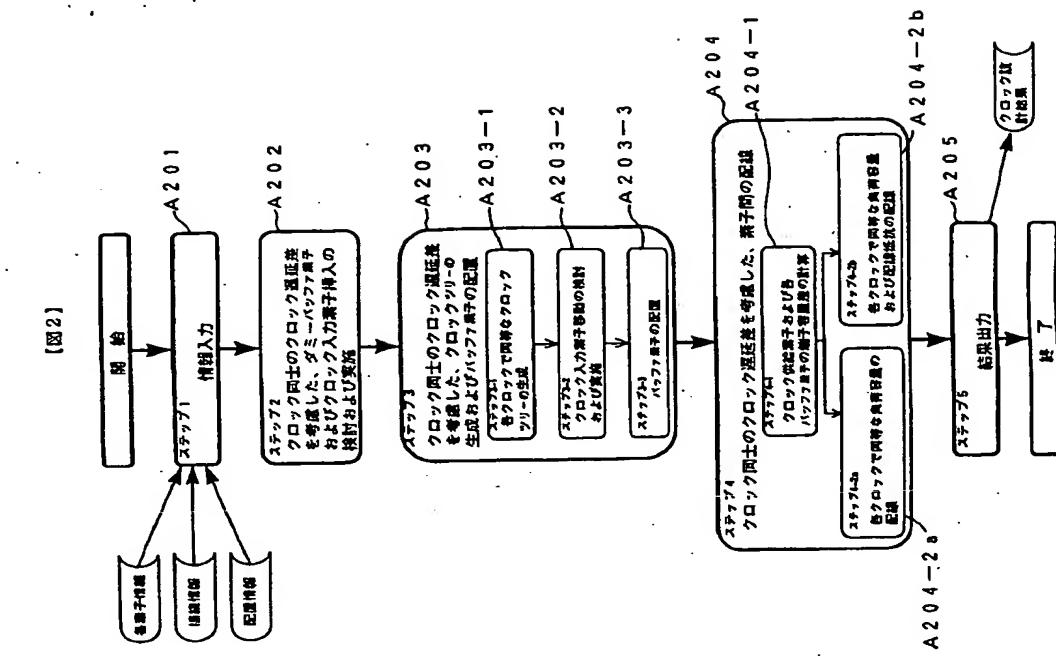
[図19] 図1.8に示す接続例を半導体集積回路の平面図上に配置配線した一例を示す図である。

1/1	1, 2 クロック供給素子	301～307, 701～703, 707, 708 バ ッファ素子
1/1	10 半導体接続回路の平面	310～322, 710～721 素子側の配線
1/1	101～113 クロック入力素子	316～A, 317～A, 318～A, 319～A, 3
1/1	114～116, 504～612 ダミーのクロック入 力素子	19～B, 320～A各分配線
1/1	201～213, 601～612 クロック入力素子の 端子容口印	706 ダミーのバッファ素子

一

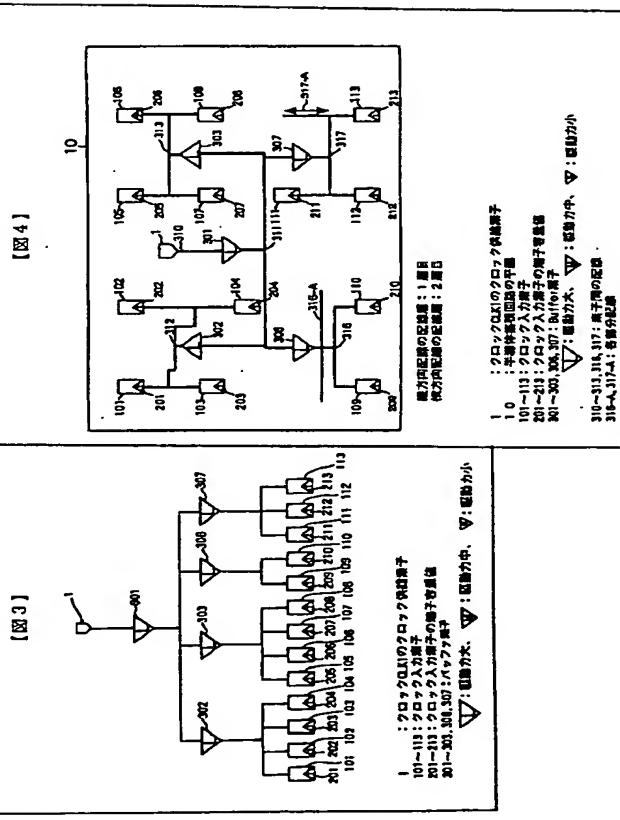


6

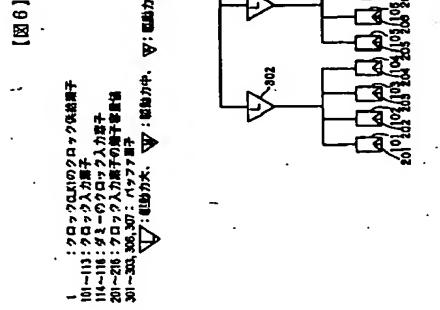


(8)

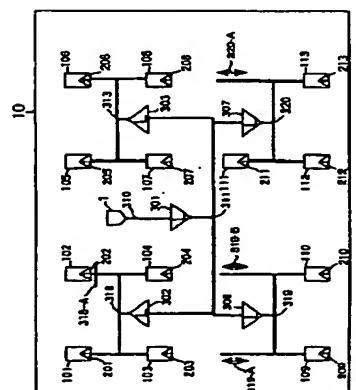
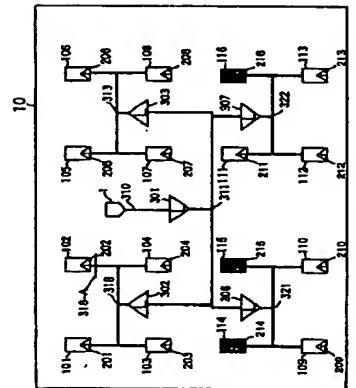
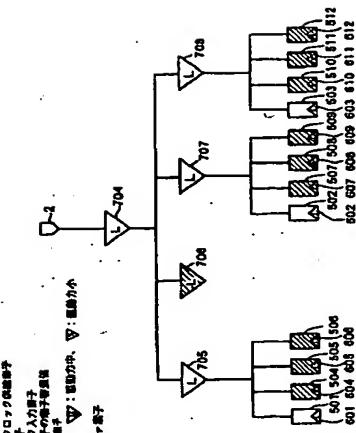
(1)



(10)



(10)



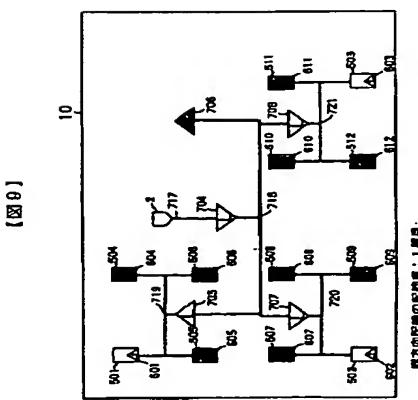
発明の名称: 1. 構造: 1. 構造
4. 方向記号の表示: 1. 構造
4. 方向記号の表示: 2. 構造

1. ロジックブロックのクロック供給回路
1. 0
1. 1: フィードバック回路の平面
101-113: ロジック入力子
114-116: フィードバック入力子
201-210: ロジック出力子の電子基板
301-310, 306, 307: バッファ
▽: 間隔大、△: 間隔中、▼: 間隔小
310-313, 316, 317: 電子基板
314-317: 各部分構成

発明の名称: 1. 構造: 1. 構造
4. 方向記号の表示: 1. 構造
4. 方向記号の表示: 2. 構造

1. ロジックブロックのクロック供給回路
1. 0
1. 1: フィードバック回路の平面
101-113: ロジック入力子
114-116: フィードバック入力子
201-210: ロジック出力子の電子基板
301-310, 306, 307: バッファ
▽: 間隔大、△: 間隔中、▼: 間隔小
310-313, 316, 317: 電子基板
314-317: 各部分構成

一一

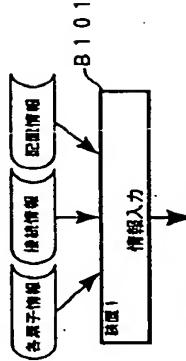


四



三

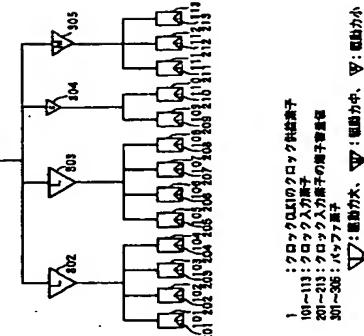
四



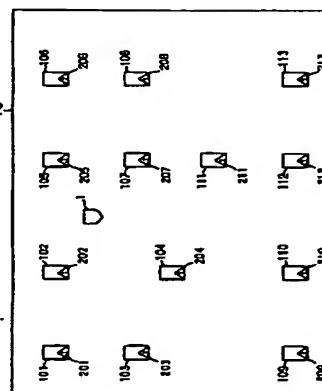
ROM 0000-FFFF

101-111: ブロック入力子
201-211: ブロック入力子の電子装置端子

141



卷之三



クロックはいのクロックはいの子
1.0 中島伸賀田山の平野
101~113: クロック入門子
1201~201: クロック入門子

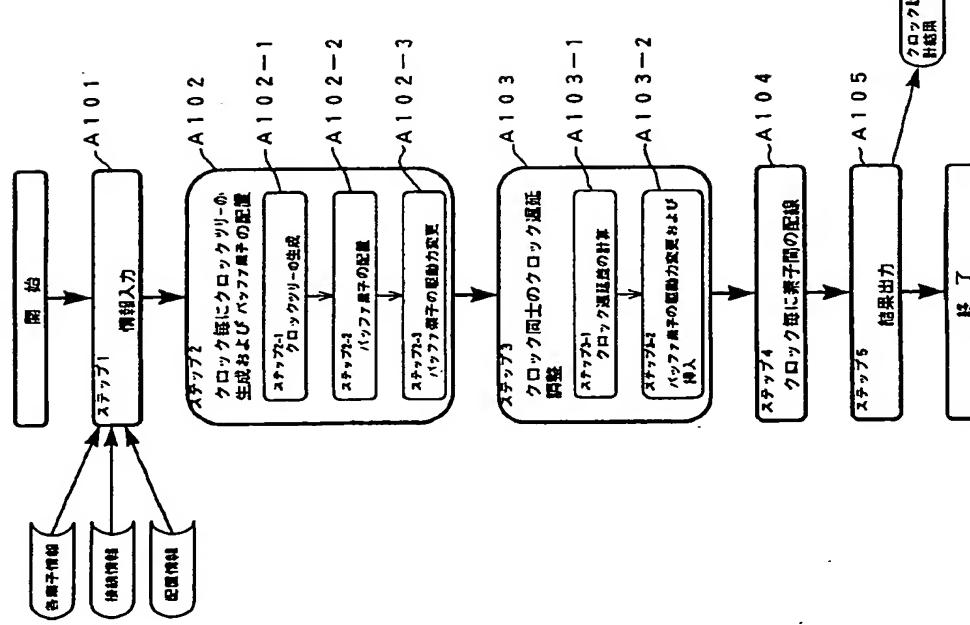
501~503: クロフク入力素子
601~603: クロフク入力素子の端子部量値
701~702: バッファ端子

2 : クロフクロウのクロフクロウ供給子
801-503 : クロフクロウ供給子

△：助動大、▽：助動中、▼：助動小

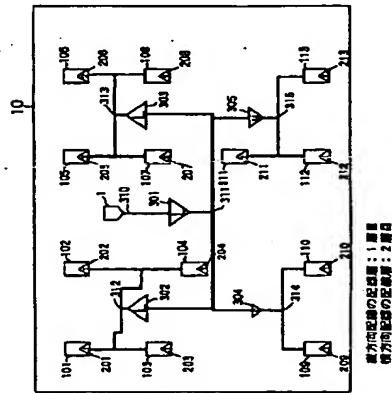
(13)

【図11】

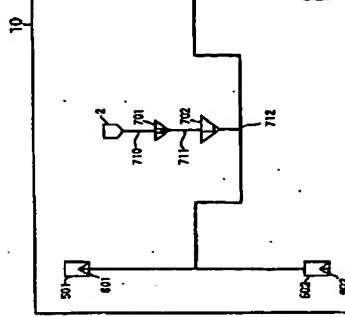


(14)

【図16】



【図17】



1：クロック回路のクロック供給電子

1.0：半導体回路用の平面
101～111：クロック入力電子
201～211：クロック入力電子の電子部品
301～302：半導体電子の電子部品
701～702：半導体電子

▽：電動力大、▼：電動力中、△：電動力小

301～310：電子部品の記述

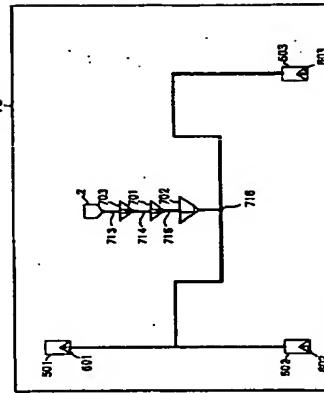
2：クロック回路のクロック供給電子

1.0：半導体回路用の平面
501～503：クロック入力電子
501～502：半導体電子の電子部品
701～702：半導体電子

▽：電動力大、▼：電動力中、△：電動力小

701～712：電子部品の記述

【図18】



1：クロック回路のクロック供給電子

1.0：半導体回路用の平面
501～503：クロック入力電子
701～702：半導体電子

▽：電動力大、▼：電動力中、△：電動力小

701～716：電子部品の記述

▽：電動力大、▼：電動力中、△：電動力小

713～716：電子部品の記述